



Envelope No.: W&B-INF-1893

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 12, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Peter Beer  
Appl. No. : 10/653,652  
Filed : September 2, 2003  
Title : Read-Out Circuit for a Dynamic Memory Circuit, Memory Cell Array, and Method for Amplifying and Reading Data Stored in a Memory Cell Array

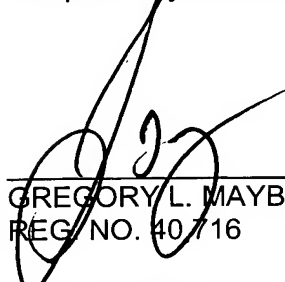
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 40 345.7 filed September 2, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK  
REG. NO. 40 716

Date: September 12, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND

---



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 40 345.7

**Anmeldetag:** 02. September 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Ausleseschaltung für eine dynamische Speicherschaltung

**IPC:** G 11 C 11/409

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Juli 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

Sieck

# Beschreibung

Ausleseschaltung für eine dynamische Speicherschaltung

5 Die Erfindung betrifft eine Ausleseschaltung für eine dynamische Speicherschaltung.

10 Dynamische Speicherschaltungen, wie DRAMs, weisen Speicherzellen mit Speicherkapazitäten auf, deren Ladung mit einer Wortleitung schaltbar auf eine Bitleitung anlegbar ist. Um die geringe Ladung einer Speicherschaltung zu verwenden, werden Ausleseverstärker zwischen einer Bitleitung und ihrer benachbarten Bitleitung detektieren können. Dabei verstärken sie den geringen Potentialunterschied der beiden benachbarten Bitleitungen, und die Bitleitung mit dem niedrigeren Potential wird auf ein niedriges Potential (Low-Potential) und die Bitleitung mit dem höheren Potential (High-Potential) auf ein hohes Potential gezogen.

20 Beim Auslesen von Daten aus den Speicherzellen können Fehler auftreten, wenn eine Speicherzelle mit einem starken Signal (d.h. grosse in der Speicherkapazität gespeicherte Ladung) neben einer Speicherzelle mit einem schwachen Signal (geringe gespeicherte Ladung) liegt. Da die Ausleseverstärker das starke Signal schneller verstärken, kann es vorkommen, dass der auftretende Potentialhub auf der Bitleitung an der Zelle mit dem starken Signal dazu führt, dass eine benachbarte Bitleitung diese Bitleitung zu einem Bitleitungspaar an einer Speicherzelle auf die benachbarte Bitleitung dazu führt, dass sich die zu verstärkende Potentialdifferenz umkehrt und die Speicherzelle mit dem schwachen Signal in die falsche Richtung entwickelt wird. Dies kann beim Auslesen dazu führen, dass aus der Speicherzelle mit dem schwachen Signal ein fehlerhaftes Datum ausgelesen wird.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Ausleseschaltung zur Verfügung zu stellen, bei der die Wahrscheinlichkeit beim Auslesen von Speicherzellen einen Fehler aufgrund Signalübersprechens zu erhalten, reduziert ist.

Diese Aufgabe wird durch die Ausleseschaltung nach Anspruch 1 gelöst.

10 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Erfindungsgemäss ist eine Ausleseschaltung für eine dynamische Speicherschaltung vorgesehen. Die Speicherzellen des Speicherzellenfeldes sind dabei über Wortleitungen und Bitleitungen adressierbar, wobei die Bitleitungen in Bitleitungspaare organisiert sind. Die Speicherkapazitäten der Speicherzellen sind jeweils mit einer Bitleitung eines Bitleitungspaares durch Aktivieren einer Wortleitung verbindbar.

20 Es ist weiterhin eine Vertauschungsschaltung vorgesehen, die mit den Bitleitungen zweier Bitleitungspaare verbunden ist, und die eine erste Datenausgangsleitung, eine zur ersten benachbarte zweite Datenausgangsleitung, eine zur zweiten benachbarte dritte Datenausgangsleitung und eine zur dritten benachbarten vierte Datenausgangsleitung aufweist. Die Vertauschungsschaltung ist so geschaltet, um die mit den Speicherkapazitäten verbundenen Bitleitungen an die zweite und die dritte Datenausgangsleitung anzulegen und um die nicht mit den Speicherzellen verbundenen Bitleitungen an die erste und die vierte Datenausgangsleitung anzulegen.

Weiterhin sind Ausleseverstärker zur Verstärkung eines Potentialunterschiedes zwischen zwei Leitungen vorgesehen. Ein erster Ausleseverstärker ist mit der ersten und der zweiten Datenausgangsleitung, ein zweiter Ausleseverstärker mit der zweiten und der dritten Datenausgangsleitung und einer dritter Ausleseverstärker mit der dritten und der vierten Ausgangsleitung verbunden.

Die erfindungsgemäße Ausleseschaltung weist für jedes Bitleitungspaar einen Ausleseverstärker auf, um Ladungsunterschiede auf den benachbarten Bitleitungen eines Bitleitungspaares gegeneinander zu verstärken. Zwischen benachbarten Bitleitungen, auch von verschiedenen Bitleitungspaaren, kommt es zu einer Signalkopplung insbesondere bei Potentialänderungen, wie sie beim Verstärken des Potentialunterschiedes auf den Bitleitungen durch den Ausleseverstärker auftreten.

Im Normalfall liegen die Bitleitungen, an denen die Ladung der Speicherkapazität einer Speicherzelle angelegt wird, und Bitleitungen, an denen keine Speicherkapazität angelegt worden ist, abwechselnd nebeneinander. Sind in zwei benachbarten Speicherzellen, die gleichen Informationen (entweder eine hohe Ladung oder eine niedrige Ladung) gespeichert, so werden die Bitleitungen abwechselnd auf ein hohes bzw. ein niedriges Potential gezogen. Ist die Speicherkapazität auf Grund von Schwankungen im Herstellungsprozess kleiner als die übliche Speicherkapazität der übrigen Speicherzellen oder hat eine Zelle wegen Leckmechanismen Ladung verloren, so ist der Ladungsunterschied auf den benachbarten Bitleitungen des entsprechenden Bitleitungspaares geringer und der Ausleseverstärker hat eine längere Ansprechzeit. Ist an einem Bitleitungspaar, das dazu benachbart ist, eine „starke“ Speicherzelle mit einer hohen Ladungsspeicherkapazität angeschlossen, so reagiert der Ausleseverstärker an diesem Bitleitungspaar schneller und trennt die Potentiale der benachbarten Bitleitungen dieses Bitleitungspaares schneller. Der Spannungshub kann zu einem Signalübersprechen führen, das die Ladung einer der Bitleitungen des Bitleitungspaares mit der geringeren Speicherkapazität so verändert wird, dass sich die Ladungsdifferenz auf dem Bitleitungspaar umkehrt und der Ausleseverstärker die Potentiale in die verkehrte Richtung trennt. Dies führt dazu, dass eine falsche Information aus der Speicherzelle ausgelesen wird.

Um dies zu vermeiden, ist erfindungsgemäß ein weiterer Ausleseverstärker vorgesehen, der sich zwischen zwei benachbarten Bitleitungen von unterschiedlichen Bitleitungspaaren befindet. Zudem wird eine Vertauschungsschaltung vorgesehen, um  
5 jeweils die Bitleitung, an der durch Aktivieren der Wortleitung die Speicherkapazität angelegt ist, mit dem weiteren Ausleseverstärker zu verbinden. Auf diese Weise liegen an dem weiteren Ausleseverstärker diejenigen Bitleitungen an, auf die die Ladungen der jeweiligen Speicherkapazität geflossen  
10 sind.

Sind beim Aktivieren der Wortleitungen beide Speicherzellen mit unterschiedlichen Ladungen, d.h. unterschiedlichen Informationen belegt, so trennen sowohl die Ausleseverstärker an  
15 den Bitleitungspaaren als auch der weitere Ausleseverstärker zwischen zwei benachbarten Bitleitungen von verschiedenen Bitleitungspaaren die Potentiale, so dass der weitere Ausleseverstärker die Trennung der Potentiale auf einem Bitleitungspaar unterstützt.

20 Sind in beiden Speicherzellen gleiche Informationen gespeichert, so erfahren die beiden Bitleitungen, die mit dem weiteren Ausleseverstärker verbunden sind, jeweils einen Ladungshub um die Ladung einer Speicherzelle, wobei ein Potentialunterschied auf den beiden Bitleitungen z.B. durch eine  
25 unterschiedliche Grösse der Speicherkapazitäten auftreten kann. Der Potentialunterschied zwischen starkem und schwachem Signal ist immer kleiner als der Potentialunterschied zwischen der Bitleitung mit dem starken Signal und der Bitleitung ohne angelegte Speicherkapazität, so dass der weitere  
30 Ausleseverstärker die Ladungstrennung wesentlich langsamer vollzieht als der Ausleseverstärker für das Startsignal. In der Zwischenzeit wird das Potential auf den jeweils benachbarten Bitleitungen der beiden Bitleitungspaare durch die  
35 daran angebrachten Ausleseverstärker verstärkt, und die Potentiale der benachbarten Bitleitungen von verschiedenen Bit-

leitungspaaren erhöht bzw. erniedrigt und somit die Ladungstrennung des weiteren Ausleseverstärkers unterdrückt.

Es kann weiterhin vorgesehen sein, dass eine erste und eine  
5 zweite Wortleitung vorgesehen ist, wobei die erste Bitleitung  
des jeweiligen Bitleitungspaares mit den entsprechenden Spei-  
cherkapazitäten durch Aktivieren der ersten Wortleitung ver-  
bindbar ist und die zweite Bitleitung des jeweiligen Bitlei-  
10 tungspaares mit den entsprechenden Speicherkapazitäten durch  
Aktivierung der zweiten Wortleitung verbindbar ist. Die Ver-  
tauschungsschaltung ist so gestaltet, um bei Aktivierung der  
ersten Wortleitung die ersten Bitleitungen der zwei Bitlei-  
tungspaare auf die zweite und die dritte Datenausgangsleitung  
15 und die zweiten Bitleitungen auf die erste und die vierte Da-  
tenausgangsleitung anzulegen und bei Aktivierung der zweiten  
Wortleitung die zweiten Bitleitungen der zwei Bitleitungspaa-  
re auf die zweite und die dritte Datenausgangsleitung und die  
ersten Bitleitungen auf die erste und die vierte Datenaus-  
20 gangsleitung anzulegen. Die Vertauschungsschaltung kann dabei  
durch getrennte Steuersignale oder auch durch das Wortlei-  
tungsaktivierungssignal zum Aktivieren der jeweiligen Wort-  
leitung aktiviert werden. Wesentlich ist, dass die Speicher-  
zellen, die durch die Wortleitung aktiviert werden, auf die  
25 zweite und dritte Datenausgangsleitung angelegt werden, d.h.  
die mittleren beiden Datenausgangsleitungen. Dies ist notwen-  
dig, damit der weitere Ausleseverstärker im Falle von unter-  
schiedlichen Informationsinhalten von benachbarten Speicher-  
zellen das Auslesen der Information unterstützen kann.

30 Vorzugsweise ist vorgesehen, dass die Treiberstärke des zwei-  
ten Ausleseverstärkers geringer ist als die Treiberstärke des  
ersten und/oder dritten Ausleseverstärkers. Auf diese Weise  
kann vermieden werden, dass bei zwei durch die Wortleitung  
aktivierten Speicherzellen gleichen Inhalts und unterschied-  
35 lich grossen Speicherkapazitäten, der dadurch bewirkte Poten-  
tialunterschied auf den benachbarten Bitleitungen verschiede-  
ner Bitleitungspaare zu einer Trennung dieser Ladung führt,

bevor die an den Bitleitungspaaren angeschlossenen Auslese-  
verstärker die Ladungstrennung vornehmen. Dabei wird die Bit-  
leitung, an der die schwächere Speicherzelle, d.h. die Spei-  
cherzelle mit der niedrigeren Kapazität angeschlossen ist,  
5 auf ein niedriges Potential gezogen wird. Ist die Treiber-  
stärke des zweiten Ausleseverstärkers geringer, so wird diese  
Ladungstrennung jedoch durch die schnellere Potentialunter-  
schiedsverstärkung des ersten und des dritten Ausleseverstär-  
kers unterbunden, da diese eine höhere Treiberstärke aufwei-  
10 sen.

Es kann weiterhin vorgesehen sein, dass zwischen der ersten  
Datenausgangsleitung und der vierten Datenausgangsleitung ei-  
ne Potentialausgleichsschaltung vorgesehen ist, um abhängig  
15 von einem Ausgleichssteuersignal die Potentiale zwischen der  
ersten Datenausgangsleitung und der vierten Datenausgangslei-  
tung auszugleichen. Diese Ausgleichseinrichtung dient bei  
gleichen Inhalten der ausgelesenen Speicherzellen dazu, um  
den ersten und den dritten Ausleseverstärker dahingehend zu  
20 unterstützen, das Potential der zweiten und dritten Bitlei-  
tung gegen das Streben des zweiten Ausleseverstärkers, diese  
Potentiale auseinander zu spreizen, zu erhöhen. Damit wird  
erreicht, dass der erste und der dritte Ausleseverstärker ge-  
genüber dem zweiten Ausleseverstärker unterstützt werden, so  
25 dass der unerwünschte Effekt des zweiten Ausleseverstärkers,  
nämlich die Potentialtrennung, besser unterbunden werden  
kann.

Die Erfindung wird im folgenden Anhand einer bevorzugten Aus-  
30 führungsform näher erläutert. Es zeigen:  
Fig. 1a die Schaltung einer herkömmlichen Ausleseschaltung;  
Fig. 1b ein Zeitdiagramm für eine herkömmliche Ausleseschal-  
tung;  
Fig. 2 eine schematische Darstellung der Anordnung der her-  
35 kömmlichen Ausleseschaltungen im Zellenfeld;  
Fig. 3a eine Ausleseschaltung gemäss einer bevorzugten Aus-  
führungsform der Erfindung;



Fig. 3b ein Zeitdiagramm für die erfindungsgemäße Ausleseschaltung nach Fig. 3a; und  
Fig. 4 eine schematische Darstellung der Anordnung der erfindungsgemäßen Ausleseschaltung im Zellenfeld.

5

Fig. 1 zeigt einen Ausschnitt aus einem dynamischen Speicher gemäß dem Stand der Technik mit einem Bitleitungspaar  $BLP_1$ ,  $BLP_2$  mit der ersten Bitleitung BLT und der zweiten Bitleitung BLC. Die Bitleitungen BL werden von zwei Wortleitungen WLT, WLC gekreuzt, wobei Speicherzellen 1 alternierend angeordnet sind. D.h. an eine Speicherzelle 1 ist an dem Kreuzungspunkt zwischen der ersten Bitleitung BLT und der ersten Wortleitung WLT angeordnet und eine zweite Speicherzelle an dem Kreuzungspunkt zwischen der zweiten Bitleitung WLC und der zweiten Wortleitung WLC. An den Kreuzungspunkten zwischen der ersten Bitleitung BLT und der zweiten Wortleitung WLT sowie an dem Kreuzungspunkt zwischen der zweiten Bitleitung BLC und der ersten Wortleitung WLC sind keine Speicherzellen angeordnet.

20

Die Speicherzelle 1 weist einen Transistor T und einen Speicherkondensator C auf. Ein Steuereingang des Transistors T ist mit der jeweiligen Wortleitung WLT, WLC verbunden. Ein erster Anschluss des Transistors T ist mit der jeweiligen Bitleitung BLT, BLC und ein zweiter Anschluss des Transistors T mit einem ersten Anschluss des Speicherkondensators C verbunden. Ein zweiter Anschluss des Speicherkondensators C liegt auf einem vorbestimmten Potential, z.B. einem Massepotential oder einem Mittenpotential, das zwischen einem hohen und einem niedrigen Versorgungsspannungspotential liegt.

30

Jede der Bitleitungen BLT, BLC ist über einen Schalter 2 mit dem Ausleseverstärker 3 verbunden. Die Schalter 2 werden durch ein Schaltsignal MUX gesteuert, das vorzugsweise eine kurze Zeit nach dem Aktivieren der Wortleitung WLT, WLC durch das Wortleitungsaktivierungssignal aktiviert wird. Der zeitliche Versatz zwischen dem Aktivieren der Wortleitung WLT,

35

WLC und dem Schalten der Schalteinrichtungen 2 bestimmt sich nach der Zeit, in der die Ladungen von dem Speicherkondensator bei geöffnetem Transistor T auf die entsprechende Bitleitung BLT, BLC fliessen.

5

Der Ausleseverstärker 3 weist einen ersten N-Kanaltransistor N1, einen zweiten N-Kanal-Transistor N2, einen ersten P-Kanal-Transistor P1 und einen zweiten P-Kanal-Transistor P2 auf.

10

Der erste N-Kanal-Transistor N1 ist mit seinem ersten Anschluss mit der ersten Bitleitung BLT, mit seinem Steueranschluss mit der zweiten Bitleitung und mit einem zweiten Anschluss mit einem nset-Signal nset verbunden. Der zweite N-

15

Kanal-Transistor N2 ist mit einem ersten Anschluss mit der zweiten Bitleitung BLC, mit einem Steueranschluss mit der ersten Bitleitung BLT und mit einem zweiten Anschluss mit dem nset-Signal nset verbunden.

20

Der erste P-Kanal-Transistor P1 ist mit einem ersten Anschluss mit der ersten Bitleitung BLT, mit einem Steuersignalanschluss mit der zweiten Bitleitung BLC und mit einem zweiten Anschluss mit einem pset-Signal pset verbunden. Der zweite P-Kanal-Transistor P2 ist mit einem ersten Anschluss mit der zweiten Bitleitung BLC mit einem Steuersignalanschluss mit der ersten Bitleitung BLT und mit einem zweiten Anschluss mit dem pset-Signal pset verbunden.

25

30

Die durch beiden N-Kanal-Transistoren N1, N2 und die beiden P-Kanal-Transistoren P1 und P2 gebildete Verstärkerschaltung ist in der Lage, geringe Ladungsunterschiede auf den benachbarten Bitleitungen zu trennen. Nachfolgend wird angenommen, dass das Potential der ersten Bitleitung BLT höher ist als das Potential der zweiten Bitleitung BLC. Das höhere Potential der ersten Bitleitung BLT bewirkt über den zweiten N-Kanal-Transistor N2 ein Absinken des Potentials der zweiten Bitleitung BLC auf ein Massepotential, das von dem nset-

35

Signal nach dem Schalten von einem Mittenpotential VBLEQ auf das Massepotential GND zur Verfügung gestellt wird. Dadurch kommt es nicht mehr zu einem Durchschalten des ersten n-Kanal-Transistors N1, so dass das Potential der ersten Bitleitung BLT zunächst im wesentlichen unbeeinflusst bleibt. Das Mittenpotential VBLEQ liegt, vorzugsweise in der Mitte zwischen einem hohen Versorgungsspannungspotential VBLH und einem Massepotential GND. Das niedrigere Potential der zweiten Bitleitung BLC bewirkt über den ersten p-Kanal-Transistor P1 ein Ansteigen des Potentials der ersten Bitleitung BLT auf das hohe Versorgungsspannungspotential VBLH, sobald das pset-Signal pset von einem Mittenpotential VBLEQ auf das hohe Versorgungsspannungspotential VBLH geschaltet wird. Das Schalten des nset-Signals nset und des pset-Signals pset erfolgt üblicherweise mit kurzer zeitlicher Verzögerung. Das nset-Signal nset und das pset-Signal pset können jedoch auch gleichzeitig geschaltet werden.

In Fig. 1b ist ein Zeitablaufdiagramm für die Ansteuerung der Wortleitungen der Schalteinrichtung 2 und des Ausleseverstärkers 3 dargestellt. Zunächst wird eine der Wortleitungen WLT, WLC durch das Wortleitungsaktivierungssignal aktiviert. Sobald die Ladung aus dem Speicherkondensator auf die entsprechende Bitleitung BLT, BLC geflossen ist, wird über das Schaltsignal MUX die Schalteinrichtung der Bitleitungen geöffnet und die Potentiale der Bitleitungen an den Ausleseverstärker 3 geführt.

Die N-Kanal-Transistoren N1, N2 des Ausleseverstärkers 3 sind an das nset-Signal nset angelegt, das beim Aktivieren den Low-Pegel angibt, auf den die Bitleitung mit dem niedrigeren Potential gezogen werden soll. Im nicht aktivierten Zustand befindet sich das nset-Signal nset auf einem Mittenpotential VBLEQ, etwa bei 0,9V.

Die P-Kanal-Transistoren P1, P2 sind mit einem pset-Signal pset verbunden, das beim Auslesen angibt, auf welches High-

Potential die Bitleitung mit dem höheren Potential gezogen werden soll. Das High-Potential des pset-Signals pset liegt, vorzugsweise bei etwa 1,8 V, während das Low-Potential des nset-Signals nset etwa bei 0 V liegt.

5

In Fig. 2 ist schematisch ein Speicherzellenfeld 10 mit Speicherzellen 1 dargestellt. Es weist Wortleitungen WLT, WLC und Bitleitungen BLT, BLC auf. Die Bitleitungen sind in Bitleitungspaare BLP organisiert, wobei die Bitleitungspaare BLP über Ausleseverstärker 3 ausgelesen werden können. Aus Layoutgründen wird ein Speicherzellenfeld in mehreren Teilen aufgebaut, so dass die Ausleseverstärker 3 zueinander versetzt, d.h. nacheinander auf verschiedenen Seiten der Bitleitung BLT, BLC angeordnet werden. Damit können die Ausleseverstärker 3 zwischen zwei benachbarten Teilen des Speicherzellenfelds aufgeteilt werden, und die Siliziumfläche wird optimal ausgenutzt.

20

In Fig. 3a ist eine bevorzugte Ausführungsform der erfindungsgemässen Ausleseschaltung dargestellt. Es sind Bitleitungspaare BLP1, BLP2, mit den daran angeschlossenen Speicherzellen dargestellt. Ebenso wie im Stand der Technik bezüglich Figur 1a dargestellt, sind an den Wortleitungen WLT, WLC und Bitleitungen BLT, BLC die Speicherzellen 1 alternierend angeordnet. Die Funktionsweise der Speicherzellen 1 sowie des Auslesen der Speicherzellen auf die Bitleitungen BLT, BLC unterscheidet sich im wesentlichen nicht von der zuvor bzgl. des Stands der Technik beschriebenen Art und Weise. Während die Schalteinrichtung 2 beim Stand der Technik lediglich die ausgelesene Ladung auf den Bitleitungen BLT, BLC mit dem Ausleseverstärker 3 verbindet, weist die Schalteinrichtung gemäss der in Fig. 3a dargestellten Ausführungsform der Erfindung darüber hinaus eine Vertauschungsschaltung 4 auf.

30

35

Die Vertauschungsschaltung 4 sieht für jede der Bitleitungen BLT, BLC eines Bitleitungspaares BLP1, BLP2 vor, dass jede der Bitleitungen BLT, BLC entweder an eine erste oder an eine

zweite Leitung angelegt werden kann. Dazu sind für jede der Bitleitungen BLT, BLC ein erster Schalttransistor 5 und ein zweiter Schalttransistor 6 vorgesehen. Die ersten Schalttransistoren 5 werden über ihre Steuereingänge durch ein zweites Schaltsignal MUXC, die zweiten Schalttransistoren 6 durch ein  
5 Schaltsignal MUXT angesteuert.

Werden die ersten Schalttransistoren 5 durch das zweite Schaltsignal MUXC geöffnet, so ist die erste Bitleitung BLT des ersten Bitleitungspaares BLT1 mit einer ersten Datenausgangsleitung DQ1T verbunden. Die zweite Bitleitung BLC des ersten Bitleitungspaares BLP1 ist dann mit einer zweiten Datenausgangsleitung DQ1C, die erste Bitleitung BLT des zweiten Bitleitungspaares BLP2 mit einer dritten Datenausgangsleitung  
10 DQ2T und eine zweite Bitleitung BLC des zweiten Bitleitungspaares BLP2 mit einer vierten Datenausgangsleitung DQ2C verbunden. Mit einem ersten Schaltsignal MUXT, das an den Steuereingängen der zweiten Schalttransistoren 6 anliegt, werden dann die zweiten Schalttransistoren 6 geschlossen.

20

Werden durch das erste Schaltsignal MUXT die zweiten Schalttransistoren 6 geöffnet, sind die ersten Schalttransistoren 5, gesteuert durch das zweite Schaltsignal MUXC, geschlossen. Sind die zweiten Schalttransistoren 6 auf Durchlass geschaltet, so ist die erste Bitleitung BLT des ersten Bitleitungspaares BLP1 mit der zweiten Datenausgangsleitung DQ1C, die zweite Bitleitung BLC des ersten Bitleitungspaares BLP1 mit der ersten Datenausgangsleitung DQ1T, die erste Bitleitung  
25 BLT des zweiten Bitleitungspaares BLP2 mit der dritten Datenausgangsleitung DQ2T und die zweite Bitleitung BLC des zweiten Bitleitungspaares BLP2 mit der vierten Datenausgangsleitung DQ2C verbunden.

30

Das erste Schaltsignal MUXT wird im Wesentlichen gleichzeitig zu der Aktivierung der ersten Wortleitung WLT mit dem entsprechenden Wortleitungsaktivierungssignal aktiviert, um die Bitleitungen BLT der beiden Bitleitungspaare BLP1, BLP2, auf  
35

die die Ladungen der Speicherkapazitäten geflossen sind, mit der zweiten Datenausgangsleitung DQ1C bzw. mit der dritten Datenausgangsleitung DQ2T zu verbinden. Dazu werden die zweiten Schalttransistoren 6 mit Hilfe des ersten Schaltsignals MUXT durchgeschaltet, wenn durch das entsprechende Wortleitungssaktivierungssignal für die erste Wortleitung WLT die Speicherzellen den ersten Bitleitungen BLT der beiden Bitleitungspaare BLP1, BLP2 aktiviert werden. Dann werden die ersten Bitleitungen BLT der Bitleitungspaare BLP1, BLP2 auf die zweite Datenausgangsleitung DQ1C und dritte Datenausgangsleitung DQ2T gelegt. Ebenso ist auch vorgesehen, dass das zweite Schaltsignal MUXC im Wesentlichen gleichzeitig zu der Aktivierung der zweiten Wortleitung WLC angelegt wird.

Zwischen der ersten Datenausgangsleitung DQ1T und der zweiten Datenausgangsleitung DQ1C, ist ein erster Ausleseverstärker 10 angeordnet, der in der oben in Verbindung mit Fig. 1 beschriebenen Weise aufgebaut ist und dessen Funktion identisch ist. Der erste Ausleseverstärker 10 trennt den Potentialunterschied auf den Datenausgangsleitungen DQ1T, DQ1C, so dass die aus den Speicherzellen 1 ausgelesenen Informationen über die Datenausgangsleitungen DQ1T, DQ1C ausgelesen werden können.

Ebenso ist zwischen der dritten Datenausgangsleitung DQ2T und der vierten Datenausgangsleitung DQ2C ein zweiter Ausleseverstärker 11 vorgesehen, der auf die gleiche Art und Weise aufgebaut ist und funktioniert.

Die erfindungsgemässe Ausleseschaltung sieht nun vor, dass zwischen der zweiten Datenausgangsleitung DQ1C und der dritten Datenausgangsleitung DQ2T ein dritter Ausleseverstärker 12 vorgesehen ist. Der dritte Ausleseverstärker 12 ist in der Lage, den Potentialunterschied zwischen der zweiten Datenausgangsleitung DQ1C und der dritten Datenausgangsleitung DQ2T zu verstärken.

Sind in den ausgelesenen Speicherzellen 1 der beiden Bitleitungspaare BLP1, BLP2 unterschiedliche Informationen gespeichert, so besteht ein Potentialunterschied zwischen der zweiten Datenausgangsleitung DQ1C und der dritten Datenausgangsleitung DQ2T, der dem Ladungsunterschied zwischen der um die Ladung einer Speicherkapazität erhöhten Ladung einer Bitleitung und der um die Ladung einer Speicherkapazität erniedrigten Ladung einer Bitleitung entspricht. Potentialunterschiede, die sich aus der Ladung einer Speicherkapazität und der Ladung einer Bitleitung ohne angelegte Speicherkapazität ergeben, liegen zwischen der ersten Datenausgangsleitung DQ1T und der zweiten Datenausgangsleitung DQ1C, sowie zwischen der dritten Datenausgangsleitung DQ2T und der vierten Datenausgangsleitung DQ2C an.

Somit sieht der dritte Ausleseverstärker 12 zwischen der zweiten Datenausgangsleitung DQ1C und der dritten Datenausgangsleitung DQ2T einen Potentialunterschied, der höher ist als der Potentialunterschied, den die ersten und zweiten Ausleseverstärker 10, 11 an ihren Eingängen anliegen haben. Der dritte Ausleseverstärker 12 unterstützt somit die Verstärkung des Potentialunterschiedes der verschiedenen Ladungen auf der zweiten und dritten Datenausgangsleitung DQ1C, DQ2T durch den ersten und zweiten Ausleseverstärker 10, 11, indem durch den dritten Ausleseverstärker 12 die Potentiale der Datenausgangsleitungen DQ1C und DQ2T ebenfalls in einer Richtung auseinandergezogen werden, die den Richtungen der betreffenden Bitleitungen des ersten und zweiten Ausleseverstärkers 10, 11 entsprechen.

Der dritte Ausleseverstärker 12 erhält entweder das gleiche nset-Signal nset und pset-Signal pset wie die übrigen Ausleseverstärker oder ein npuls-Signal npuls bzw. ein ppuls-Signal ppuls, das gegenüber dem nset-Signal nset und pset-Signal pset gepulst ist. Das gepulste nset-Signal und pset-Signal werden nach einer vorbestimmten Zeit , d.h. vor dem

nset-Signal nset und pset-Signal pset, wieder zurückgenommen, also auf das Mittenpotential VBLEQ zurückgeführt wird.

5 Befindet sich in den auszulesenden Speicherzellen die gleiche Information, so werden die Ladungen der Bitleitung BLT, BLC entweder gleichermassen jeweils um die Ladung einer Speicherzelle erhöht oder erniedrigt. Im Idealfall liegt somit an der zweiten Datenausgangsleitung DQ1C und an der dritten Datenausgangsleitung DQ2T die gleiche um die Ladung einer Spei-  
10 cherkapazität erhöhte oder erniedrigte Ladung einer Bitleitung BLT, BLC an. Der dritte Ausleseverstärker 12 ist somit im Idealfall nicht in der Lage, einen Potentialunterschied zu erkennen und zu verstärken. Das Verstärken des Potentialunterschiedes zum Auslesen der Daten wird somit ausschliesslich  
15 von den an den jeweiligen Bitleitungspaaren angelegten ersten und zweiten Ausleseverstärkern 10, 11 vorgenommen.

In der Praxis kommt es jedoch vor, dass die Speicherkapazitäten aufgrund von Leckmechanismen unterschiedlich schnell  
20 durch Leckströme entladen werden, bzw. dass die Speicherkapazitäten C von auszulesenden Speicherzellen 1 aufgrund von Schwankungen im Herstellungsprozess unterschiedlich groß sind. Sind nun in den auszulesenden Speicherzellen 1 gleiche Informationen gespeichert, wobei die in den Speicherkapazitäten gespeicherten Ladungen jedoch etwas unterschiedlich sind,  
25 so liegen auf der zweiten Datenausgangsleitung DQ1C und der dritten Datenausgangsleitung DQ2T unterschiedliche Potentiale an. Beide Potentiale, die beispielsweise einen High-Pegel repräsentieren sollen, werden von den Ausleseverstärkern 10,  
30 11 an den Bitleitungspaaren jeweils auf eine hohes Bitleitungspotential gezogen.

Damit der dritte Ausleseverstärker 12 auf Grund des Ladungsunterschiedes auf der zweiten Datenausgangsleitung DQ1C und  
35 der dritten Datenausgangsleitung DQ2T keine fehlerhafte Potentialtrennung vornehmen kann und den ersten und den zweiten Ausleseverstärker 10, 11 dominiert, ist eine Ladungsaus-



gleichsvorrichtung 13 vorgesehen, die zwischen der ersten Datenausgangsleitung DQ1T und der vierten Datenausgangsleitung DQ2C angeordnet ist. Die Ladungsausgleichsvorrichtung 13 umfaßt einen n-Kanal-Transistor, der durch ein Ausgleichssignal EQ-short angesteuert wird. Die Ladungsausgleichseinrichtung 13 arbeitet so, dass das Potential der ersten Datenausgangsleitung DQ1T und das Potential der vierten Datenausgangsleitung DQ2C beim Auslesen auf gleichem Potential gehalten werden. Dadurch wird die Ladungstrennung der ersten und zweiten Ausleseschaltung 10, 11, insbesondere beim Auslesen gleichartiger Daten unterstützt.

Ist beispielsweise in den Speicherzellen jeweils eine Ladung gespeichert, die größer ist als die ausgeglichene Ladung einer Bitleitung BL, so entspricht dies der Information einer „1“. Die Bitleitungen BL, auf denen sich diese erhöhten Ladungen befinden, werden über die Schalteinrichtung 4 auf die zweite Datenausgangsleitung DQ1C und die dritte Datenausgangsleitung DQ2T angelegt. Der erste Ausleseverstärker 10 verstärkt den Potentialunterschied zwischen der ersten Datenausgangsleitung DQ1T und der zweiten Datenausgangsleitung DQ1C, der zweite Ausleseverstärker 11 verstärkt den Potentialunterschied zwischen der dritten Datenausgangsleitung DQ2T und der vierten Datenausgangsleitung DQ2C, so dass ein hohes Bitleitungspotential auf den zweiten DQ1C und dritten Datenausgangsleitungen DQ2T und jeweils ein niedriges Bitleitungspotential auf der ersten und vierten Datenausgangsleitung DQ1T, DQ2C anliegen.

Sind die Ladungen auf den Bitleitungen gleichgerichtet, aber aufgrund von „starken“ und „schwachen“ Speicherzellen von ungleicher Größe, so wirkt die Ladungsausgleichsvorrichtung 13 dem Trennen der Ladungen durch den Ausleseverstärker 12 entgegen. Wenn beispielsweise auf der zweiten Datenausgangsleitung DQ1C die Ladung einer starken Speicherzelle und auf der Datenausgangsleitung DQ2T die Ladung einer schwachen Speicherzelle angelegt ist, so trennt der erste Ausleseverstärker

10 sehr schnell die Potentiale der ersten und der zweiten Datenausgangsleitung DQ1T, DQ1C und erniedrigt (bei größerer Ladung der zweiten Datenausgangsleitung DQ1T) die Ladung der ersten Datenausgangsleitung DQ1T. Über die Ladungsausgleichsvorrichtung 13 wird das auf der ersten Datenausgangsleitung DQ1T anliegende, sich vermindernde Potential an die vierte Datenausgangsleitung DQ2C weitergegeben, so dass der Potentialunterschied zwischen der dritten Datenausgangsleitung DQ2T und der vierten Datenausgangsleitung DQ2C ebenfalls erhöht wird. Dadurch wird die Ladungstrennung des zweiten Ausleseverstärkers 11 beschleunigt und an die Ladungstrennung des ersten Ausleseverstärkers 10 gekoppelt. Somit kann die Ladungsausgleichseinrichtung 13 die Ladungstrennung zweier benachbarter Bitleitungspaare BLP1, BLP2 unterstützen, wenn gleiche Ladungen in den betreffenden Speicherzellen gespeichert waren.

Der dritte Ausleseverstärker 12 arbeitet in diesem Fall bei geringen Ladungsunterschieden zwischen der zweiten DQ1C und dritten Datenausgangsleitung DQ2T gegen den ersten und zweiten Ausleseverstärker 10, 11. Es ist also sinnvoll, die Treiberstärke der Ausleseverstärker 10, 11 gegenüber der Treiberstärke des dritten Ausleseverstärkers 12 zu erhöhen, damit der dritte Ausleseverstärker 12 keine Ladungstrennung bzw. keine Verstärkung des Potentialunterschieds vornimmt, wenn auf der benachbarten zweiten und dritten Datenausgangsleitung DQ1C, DQ2T jeweils das hohe Bitleitungspotential anliegen soll. Somit arbeiten der erste und der zweite Ausleseverstärker 10, 11 gegen den dritten Ausleseverstärker 12, wenn die durch eine Wortleitung WLT, WLC angesprochenen Speicherzellen 1 die gleiche Information enthalten.

In Fig. 3b ist ein Zeitablaufdiagramm dargestellt, das den Verlauf der Signale, die zur Steuerung der ersten und zweiten und dritten Ausleseschaltung 10, 11, 12 verwendet werden, darstellt. Kurz nach Anlegen des Wortleitungsaktivierungssignals auf die erste Wortleitung WLT wird das erste Schaltsig-

nal MUXT zum Öffnen der zweiten Schalttransistoren 6 angelegt. Die Ladung der ersten Bitleitungen BLT der Bitleitungspaare BLP1, BLP2 fließen dann auf die zweite und dritte Datenausgangsleitung DQ1C, DQ2T. Das nset-Signal nset und das pset-Signal pset befinden sich, wie in Bezug auf Fig.1 beschrieben, anfänglich auf einem Mittenpotential VBLEQ. Das npuls-Signal npuls und ppuls-Signal ppuls für den dritten Ausleseverstärker 12 sind anfänglich ebenfalls auf dem Mittenpotential VBLEQ und geben dann bei Aktivierung ein hohes Bitleitungspotential VBLH und ein niedriges Bitleitungspotential VGND vor.

Das Ladungsausgleichssignal EQ-short wird gleichzeitig mit dem ersten bzw. dem zweiten Schaltsignal MUXT, MUXC aktiviert, um die Ladungen, d.h. das Potential, auf den ersten und vierten Datenausgangsleitung DQ1T, DQ2C beim Verstärken zu halten, während die Ausleseverstärker 10,11 die Potentialdifferenz zwischen den benachbarten ersten und zweiten bzw. dritten und vierten Datenausgangsleitungen DQ1T, DQ1C, DQ2T, DQ2C vergrößern.

Die Ladungsausgleichsvorrichtung 13 hat den Vorteil, dass man die Verstärkung eines schwachen Signals unterstützen kann, wenn gleiche Informationen auf benachbarten Bitleitungen, d.h. gleichgerichtete Ladungen auf der zweiten und dritten Datenausgangsleitung DQ1C, DQ2T anliegen. Durch den Kurzschluss der ersten und der vierten Datenausgangsleitung DQ1T, DQ2C beim Auslesen wird die Potentialdifferenz zwischen einem starken Signal aus einer starken Speicherzelle zu der Mittenspannung schneller bewertet als das schwache Signal aus der schwachen Speicherzelle. Der Ausleseverstärker, an dem das starke Signal anliegt, trennt die Ladung somit schneller, so dass eine Ladungsänderung auf der jeweils komplementären Datenausgangsleitung in die entgegengesetzte Richtung bezüglich der Datenausgangsleitung mit dem starken Signal erfolgt. Da die komplementäre Datenausgangsleitung mit der jeweils komplementären Datenausgangsleitung der Bitleitung mit dem

schwachen Signal kurzgeschlossen ist, wird somit dem Auslese-  
verstärker, der das schwache Signal verstärken soll, gehol-  
fen, die Trennung der Ladungen durchzuführen. Die Bewertung  
durch den dritten Ausleseverstärker 12 zwischen der Potenti-  
aldifferenz zwischen einem starken Signal und einem schwachen  
5 Signal wird dadurch unterdrückt. Im Wesentlichen liegt in der  
Kopplung der jeweils komplementären Datenausgangsleitungen  
eine zweite Bewertung eines schwachen Signals gegenüber der  
Mittenspannung VBLEQ.

10

Sind auf benachbarten Bitleitungen unterschiedliche Informa-  
tionen gespeichert, so liegen auf der zweiten und dritten  
Ausgangsleitung DQ1C, DQ2T unterschiedlich gerichtete Ladun-  
gen an. In diesem Fall wird die Ladungstrennung der ersten  
15 und zweiten Ausleseverstärker 10, 11 durch den dritten Ausle-  
severstärker 12 unterstützt. Da bei unterschiedlichen Infor-  
mationen auf benachbarten Bitleitungen die Ladungsausgleichs-  
vorrichtung 13 und bei gleichen Informationen auf benachbar-  
ten Bitleitungen der dritte Ausleseverstärker 12 jeweils ge-  
20 gen den ersten und zweiten Ausleseverstärker 10, 11 arbeiten,  
wird die Ladungsausgleichsvorrichtung 13 durch das Aus-  
gleichssignal EQ-short sowie der dritte Ausleseverstärker 12  
durch das npuls-Signal npuls und das ppuls-Signal ppuls abge-  
schaltet, bevor die vollständige Trennung der Ladungen durch  
25 den ersten Ausleseverstärker 10 und den zweiten Auslesever-  
stärker 11 vorgenommen ist.

Im Unterschied zu den bisherigen Ausleseschaltungen werden  
nun erfindungsgemässe Ausleseschaltungen vorgesehen, die je-  
30 weils mit vier Bitleitungen statt mit zwei Bitleitungen ver-  
bunden sind. Die Ausleseschaltungen sind jeweils abwechselnd  
auf der linken und rechten Seite eines Speicherzellenfeldes  
angeordnet, so dass das in Fig. 4 dargestellte Anordnungsmus-  
ter der erfindungsgemässen Ausleseschaltungen entsteht.

35

## Patentansprüche

1. Ausleseschaltung für eine dynamische Speicherschaltung, wobei Speicherzellen (1) eines Speicherzellenfeldes über Wortleitungen (WLT, WLC) und Bitleitungen (BLT, BLC) adressierbar sind, wobei die Bitleitungen (BLT, BLC) in Bitleitungspaare (BLP1, BLP2) organisiert sind, wobei Speicherkapazitäten (C) der Speicherzellen (1) jeweils mit einer Bitleitung (BLT, BLC) eines Bitleitungspaares (BLP1, BLP2) durch Aktivieren einer Wortleitung verbindbar sind, wobei eine Vertauschungsschaltung (4) vorgesehen ist, die mit jeder der Bitleitungen (BLT, BLC) zweier Bitleitungspaare (BLP1, BLP2) verbunden ist, und die eine erste Datenausgangsleitung (DQ1T), eine zur ersten benachbarte zweite Datenausgangsleitung (DQ1C), eine zur zweiten benachbarte dritte Datenausgangsleitung (DQ2T) und eine zur dritten benachbarte vierte Datenausgangsleitung (DQ2C) aufweist, wobei die Vertauschungsschaltung (4) so gestaltet ist, um die durch Aktivieren der Wortleitung mit den Speicherkapazitäten (C) verbundenen Bitleitungen (BLT, BLC) an die zweite und die dritte Datenausgangsleitung (DQ1C, DQ2T) anzulegen und um die nicht mit den Speicherzellen verbundenen Bitleitungen an die erste und die vierte Datenausgangsleitung (DQ1T, DQ2C) anzulegen, wobei ein erster Ausleseverstärker (10) mit der ersten (DQ1T) und der zweiten Datenausgangsleitung (DQ1C), ein zweiter Ausleseverstärker (11) mit der dritten (DQ2T) und der vierten Datenausgangsleitung (DQ2C) und ein dritter Ausleseverstärker (12) mit der zweiten (DQ1C) und der dritten Datenausgangsleitung (DQ2T) verbunden ist, wobei die Ausleseverstärker (10, 11, 12) zur Verstärken eines Potentialunterschiedes auf den zwei angeschlossenen Leitungen vorgesehen ist.

2. Ausleseschaltung nach Anspruch 1, wobei eine erste (WLT) und eine zweite Wortleitung (WLC) vorgesehen ist, wobei die erste Bitleitung (BLT) des jeweiligen Bitleitungspaares (BLP1, BLP2) mit den entsprechenden Speicherkapazitäten (C) durch Aktivieren der ersten Wortleitung (WLT) verbindbar ist und die zweite Bitleitung des jeweiligen Bitleitungspaares (BLP1, BLP2) mit den entsprechenden Speicherkapazitäten (C) durch Aktivieren der zweiten Wortleitung (WLC) verbindbar ist,

wobei die Vertauschungsschaltung (4) so gestaltet ist, um bei Aktivierung der ersten Wortleitung (WLT) die ersten Bitleitungen (BLT) der zwei Bitleitungspaare (BLP1, BLP2) auf die zweite (DQ1C) und die dritte Datenausgangsleitung (DQ2T) und die zweiten Bitleitungen (BLC) auf die erste (DQ1T) und die vierte Datenausgangsleitung (DQ2C) anzulegen und bei Aktivierung der zweiten Wortleitung (WLC) die zweiten Bitleitungen (BLC) der zwei Bitleitungspaare (BLP1, BLP2) auf die zweite (DQ1C) und die dritte Datenausgangsleitung (DQ2T) und die ersten Bitleitungen (BLT) auf die erste und die vierte Datenausgangsleitung (DQ2C) anzulegen.

3. Ausleseschaltung nach Anspruch 1 oder 2, wobei die Ausleseverstärker (10, 11, 12) einen ersten Transistor (N1), einen zweiten Transistor (N2), einen dritten Transistor (P1) und einen vierten Transistor (P2) aufweisen,

wobei ein erster Anschluß des ersten Transistors (N1) mit der ersten Leitung und ein zweiter Anschluß des ersten Transistors (N1) mit einem ersten Bitleitungspotential (nset) verbunden ist,

wobei ein erster Anschluß des zweiten Transistors (N2) mit der zweiten Leitung und ein zweiter Anschluß des zweiten Transistors (N2) mit dem ersten Bitleitungspotential verbunden ist,

wobei ein erster Anschluß des dritten Transistors (P1)

mit der ersten Leitung und ein zweiter Anschluß des dritten Transistors (P1) mit einem zweiten Bitleitungspotential verbunden ist,

5 wobei ein erster Anschluß des vierten Transistors (P2) mit der zweiten Leitung und ein zweiter Anschluß des vierten Transistors (P2) mit dem zweiten Bitleitungspotential verbunden ist.

10 4. Ausleseschaltung nach einem der Ansprüche 1 bis 3, wobei die Treiberstärke des dritten Ausleseverstärkers (12) geringer ist als die Treiberstärke des ersten (10) und/oder des zweiten Ausleseverstärkers (11).

15 5. Ausleseschaltung nach einem der Ansprüche 1 bis 4, wobei zwischen der ersten Datenausgangsleitung (DQ1T) und der vierten Datenausgangsleitung (DQ2C) eine Potentialausgleichsschaltung (13) vorgesehen ist, um abhängig von einem Ausgleichsteuersignal (EQ-short) die Potentiale zwischen der ersten Datenausgangsleitung  
20 (DQ1T) und der vierten Datenausgangsleitung (DQ2C) auszugleichen.

25 6. Verfahren zum Betreiben einer Ausleseschaltung nach einem der Ansprüche 1 bis 5, wobei eine der Wortleitungen (WLT, WLC) aktiviert wird, wobei die Vertauschungsschaltung (4) so angesteuert wird, dass die mit den Speicherkapazitäten (C) verbundenen Bitleitungen (BLT, BLC) an die zweite und an die dritte Datenausgangsleitung (DQ1C, DQ2T) angelegt werden.  
30

35 7. Verfahren nach Anspruch 6, wobei an den ersten und an den zweiten Ausleseverstärker (10,11) jeweils im wesentlichen zeitgleich mit der Aktivierung der Wortleitung ein nset-Signal (nset) und ein pset-Signal (pset) angelegt wird, die ein hohes

und ein niedriges Potential für die Datenausgangsleitungen (DQ1T, DQ1C, DQ2T, DQ2C) bestimmen.

8. Verfahren nach Anspruch 7,

5 wobei an den dritten Ausleseverstärker (12) jeweils im wesentlichen zeitgleich mit der Aktivierung der Wortleitung ein npuls-Signal npuls und ein ppuls-Signal ppuls angelegt wird, die ein hohes und ein niedriges Potential für die Datenausgangsleitungen bestimmen,

10 wobei das npuls-Signal (npuls) und das ppuls-Signal (ppuls) gegenüber dem nset-Signal (nset) und ein pset-Signal (pset) gepulst wird.



## Zusammenfassung

## Ausleseschaltung für eine dynamische Speicherschaltung

5 Ausleseschaltung für eine dynamische Speicherschaltung, wobei Speicherzellen (1) eines Speicherzellenfeldes über Wortleitungen (WLT, WLC) und Bitleitungen (BLT, BLC) adressierbar sind, wobei die Bitleitungen (BLT, BLC) in Bitleitungspaare (BLP1, BLP2) organisiert sind, wobei Speicherkapazitäten (C)

10 der Speicherzellen (1) jeweils mit einer Bitleitung (BLT, BLC) eines Bitleitungspaars (BLP1, BLP2) durch Aktivieren einer Wortleitung verbindbar sind,

wobei eine Vertauschungsschaltung (4) vorgesehen ist, die mit jeder der Bitleitungen (BLT, BLC) zweier Bitleitungspaare

15 (BLP1, BLP2) verbunden sind und eine erste Datenausgangsleitung (DQ1T), eine zur ersten benachbarten zweiten Datenausgangsleitung (DQ1C), eine zur zweiten benachbarten dritte Datenausgangsleitung (DQ2T) und eine zur dritten benachbarten vierte Datenausgangsleitung (DQ2C) aufweist, wobei die Ver-

20 tauschungsschaltung (4) so gestaltet ist,

um die mit den Speicherkapazitäten (C) verbundenen Bitleitungen (BLT, BLC) an die zweite (DQ1C) und die dritte Datenausgangsleitung (DQ2T) anzulegen und um die nicht mit den Speicherzellen verbundenen Bitleitungen an die erste (DQ1T) und

25 die vierte Datenausgangsleitung (DQ2C) anzulegen, wobei jeweils Ausleseverstärker (10, 11, 12) zur Verstärken eines Potentialunterschiedes auf einer ersten Leitung und einer zweiten Leitung vorgesehen ist, wobei ein erster Ausleseverstärker (10) mit der ersten (DQ1T) und der zweiten Datenausgangs-

30 leitung (DQ1C), ein zweiter Ausleseverstärker (11) mit der dritten (DQ2T) und der vierten Datenausgangsleitung (DQ2C) und ein dritter Ausleseverstärker (12) mit der zweiten (DQ1C) und der dritten Datenausgangsleitung (DQ2T) verbunden ist.

35 Figur 3a

## Bezugszeichenliste

	1	Speicherzelle
5	2	Schalteinrichtung
	3	Ausleseverstärker
	4	Schalteinrichtung
	T	Speichertransistor
	C	Speicherkondensator
10	N1, N2	N-Kanal-Feldeffekttransistoren
	P1, P2	P-Kanal-Feldeffekttransistoren
	BLP1, BLP2	Bitleitungspaare
	WLT	erste Wortleitung
	WLC	zweite Wortleitung
15	BLT	erste Bitleitung
	BLC	zweite Bitleitung
	MUXC	erstes Schaltsignal
	MUXT	zweites Schaltsignal
	5	erster Schalttransistor
20	6	zweiter Schalttransistor
	DQ1-DQ4	erste bis vierte Datenausgangsleitung
	nset	nset-Signal
	pset	pset-Signal
	npuls	High-Potential-Signal für weiteren Ausleseverstärker
25	ppuls	Low-Potential-Signal für weiteren Ausleseverstärker
	DQ-short	Ausgleichssignal
	10	erster Ausleseverstärker
	11	zweiter Ausleseverstärker
	12	dritter Ausleseverstärker
30	13	Ladungsausgleichsvorrichtung

1/4

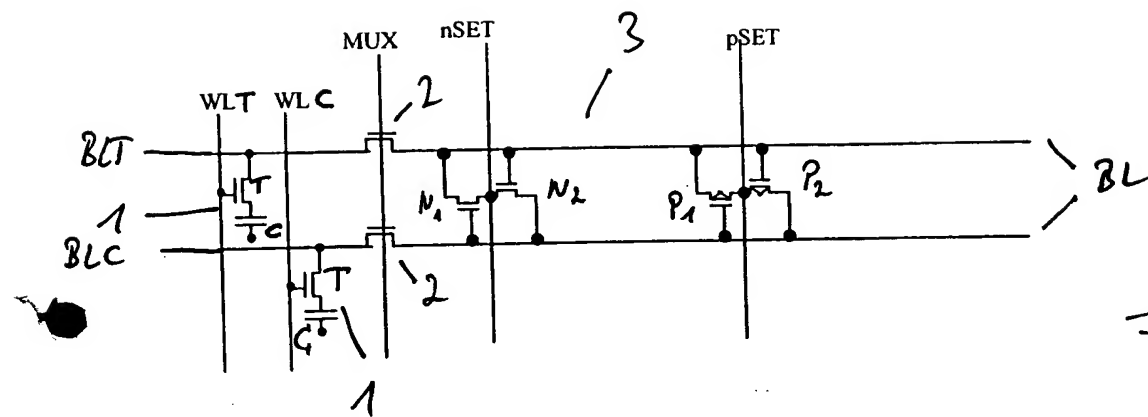


Fig. 1a

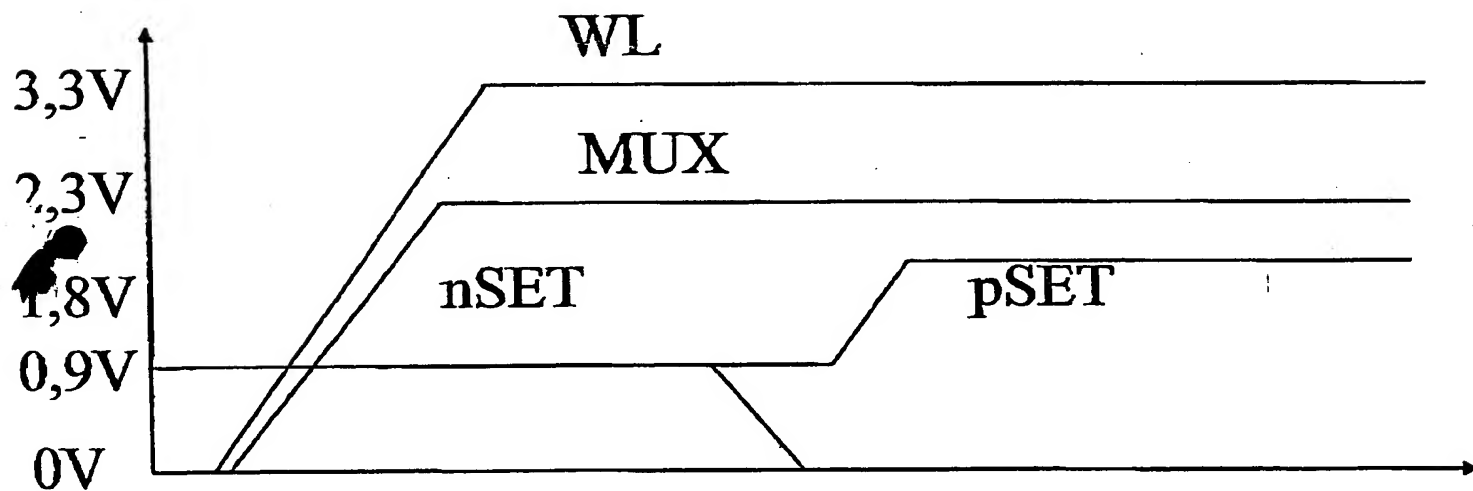


Fig. 1b

214

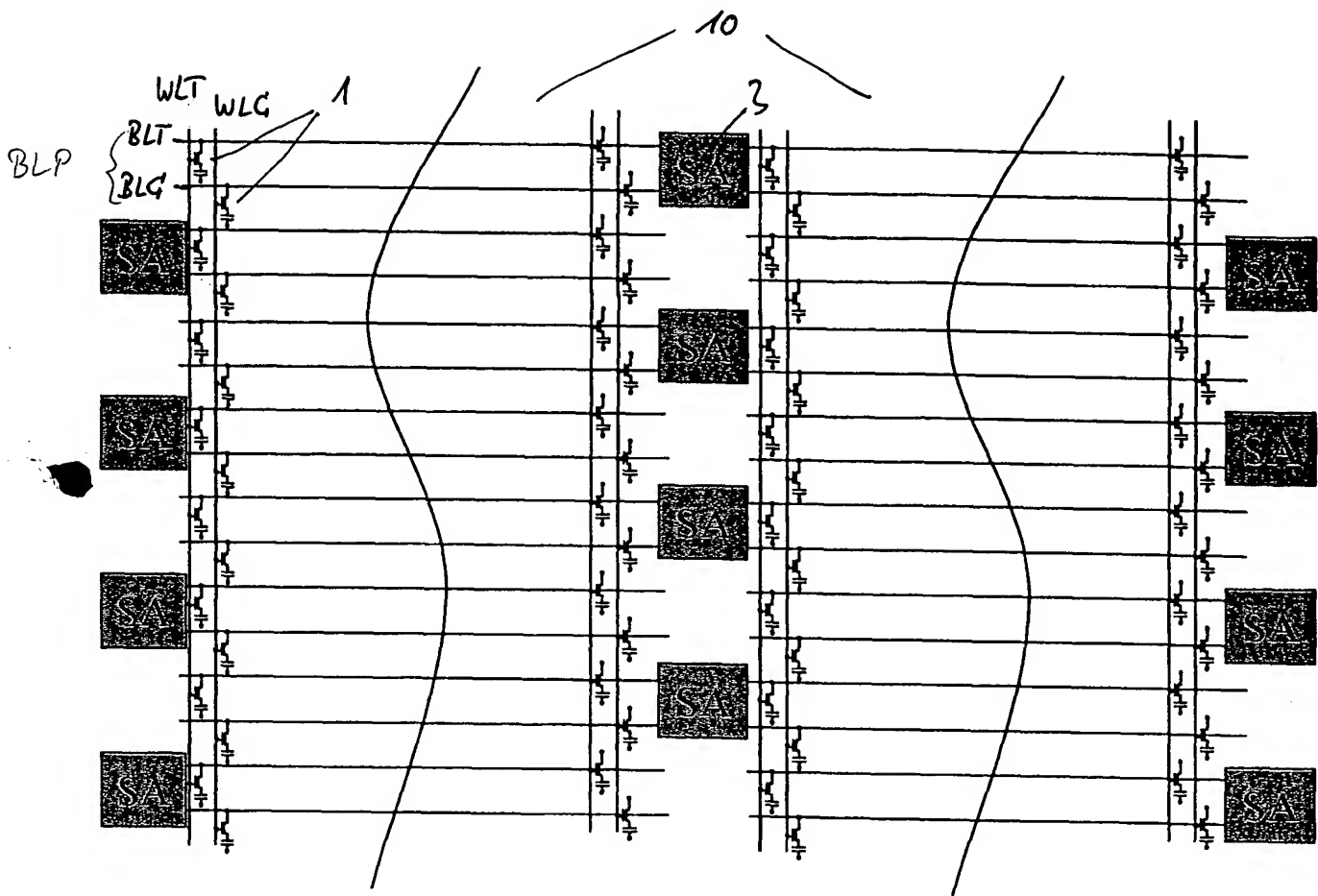


Fig. 2

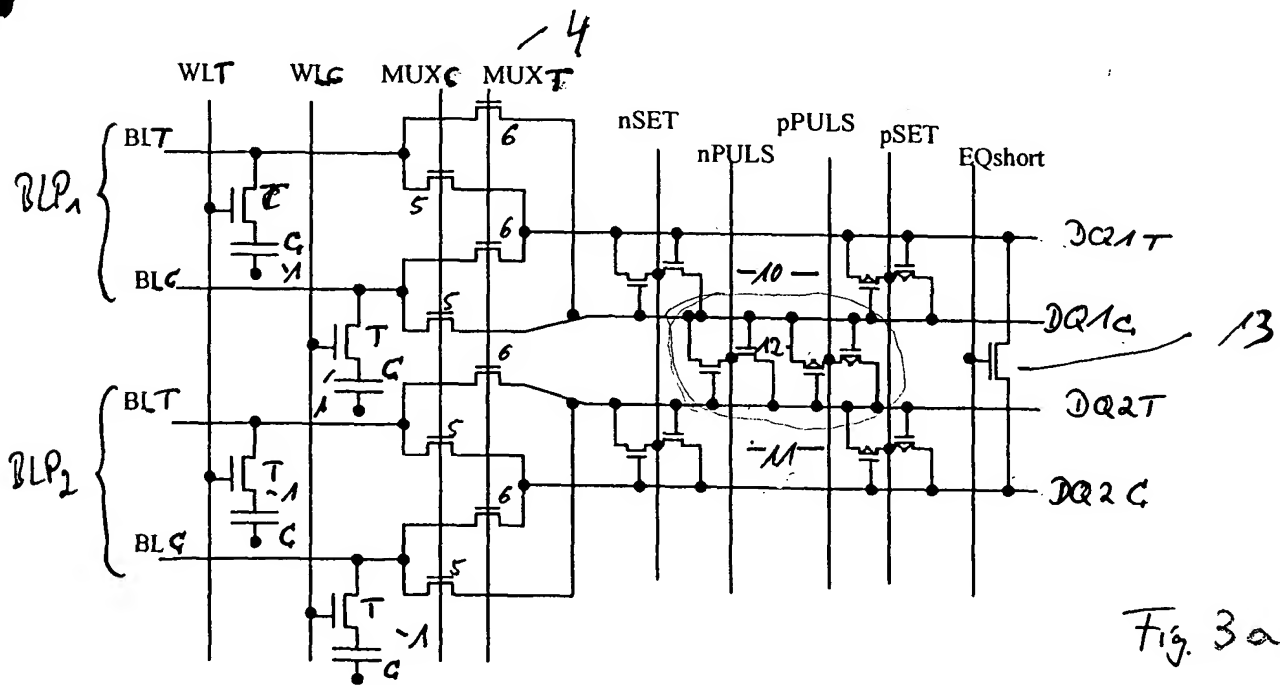
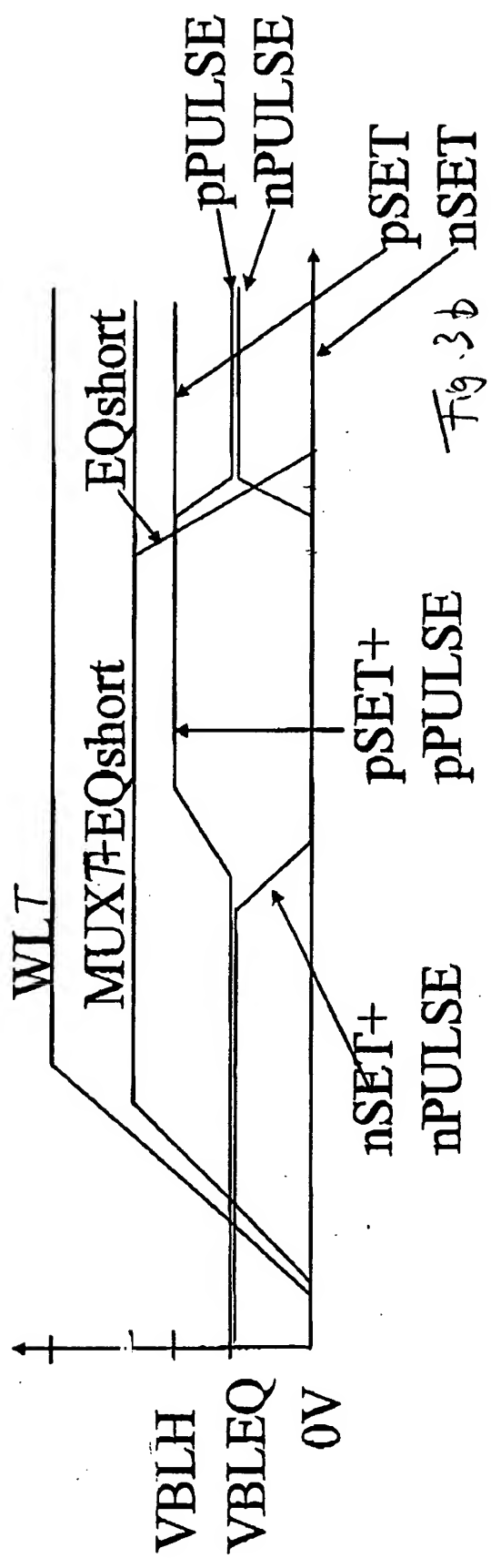


Fig. 3a



4/4

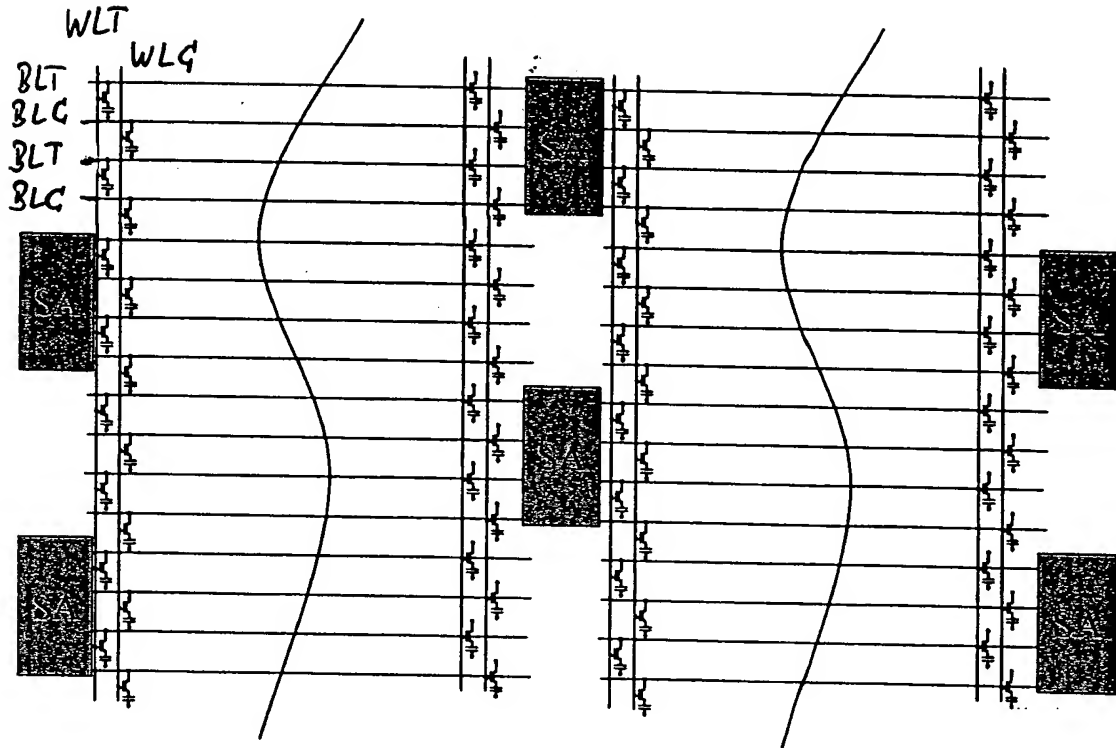


Fig. 4